

- EPODOC / EPO

PN - JP6215062 A 19940805
PD - 1994-08-05
PR - JP19930005418 19930114
OPD - 1993-01-14
TI - ALIGNMENT DEVICE FOR SIMULATION DATA
IN - KOUMAE SEIICHI
PA - NIPPON ELECTRIC CO
IC - G06F15/60 ; G06F11/26

- PAJ / JPO

PN - JP6215062 A 19940805
PD - 1994-08-05
AP - JP19930005418 19930114
IN - KOUMAE SEIICHI
PA - NEC CORP
TI - ALIGNMENT DEVICE FOR SIMULATION DATA
AB - PURPOSE: To prevent a logical value from varying at the time when the setup of respective sequence elements mounted on a circuit to be simulated is satisfied.

- CONSTITUTION: Connection information on a circuit to be simulated and characteristic information on the respective elements mounted on the circuit are prepared as a data base on a magnetic disk 15 and the delay time of a signal from the input terminal of the circuit to be simulated to the sequence elements is found; and it is judged whether signal variation when simulation input data varying in individual phase (timing) in a basic period is propagated to the sequence elements in the sequence elements in the circuit satisfies a setup time and the phases of the simulation input data in the basic period are matched with several phases at all input terminals.

I - G06F15/60 ;G06F11/26

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-215062

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl.⁵
G 0 6 F 15/60
11/26

識別記号 3 6 0 D 7623-5L
3 1 0 7737-5B

F I

技術表示箇所

審査請求 未請求 請求項の数4 OL (全9頁)

(21)出願番号 特願平5-5418

(22)出願日 平成5年(1993)1月14日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 幸前 成一

東京都港区芝五丁目7番1号 日本電気株式会社内

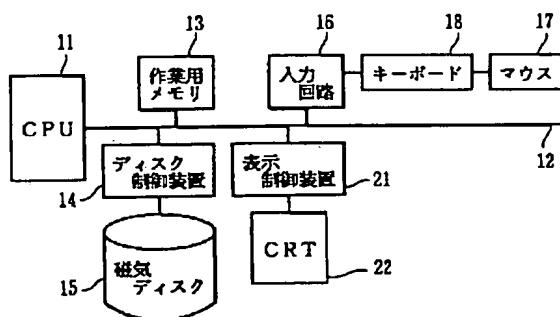
(74)代理人 弁理士 山内 梅雄

(54)【発明の名称】 シミュレーションデータのアライメント装置

(57)【要約】

【目的】 シミュレーション対象となる回路に搭載されている各順序素子のセットアップを満足する時刻での論理値の変動を防止する。

【構成】 シミュレーションの対象となる回路の接続情報や回路に搭載されている各素子の特性情報を磁気ディスク15にデータベースとして用意し、シミュレーション対象となる回路の入力端子から順序素子までの信号の遅延時間を求め、基本周期内で独自の位相(タイミング)で変化しているシミュレーション入力データが回路内の順序素子まで伝搬したときの信号変化がセットアップタイムを満足しているかどうかを判断して、シミュレーション入力データの基本周期内において変化する位相を全入力端子で数通りに合わせ込む。



【特許請求の範囲】

【請求項1】 シミュレーション対象となる回路の接続情報とこれらの回路に搭載されている各素子の特性情報をデータベースとして格納したデータベース格納手段と、

前記シミュレーション対象となる回路の入力端子から順序素子までの信号の遅延時間を前記データベースから算出する遅延時間算出手段と、

基本周期内で所定の位相で変化しているシミュレーション入力データが前記順序素子まで伝搬したときの信号変化が、前記データベースに格納されたセットアップタイムを満足する時刻で生じているか否かの判断を行う判断手段と、

この判断結果に応じて前記基本周期内において変化する位相を全入力端子で合わせ込む位相合わせ込み手段とを具備することを特徴とするシミュレーションデータのアライメント装置。

【請求項2】 前記特性情報は、シミュレーション対象となる回路に搭載されている各素子の伝搬遅延時間、セットアップに要するセットアップタイムおよびホールドが行われるホールドタイムであることを特徴とする請求項1記載のシミュレーションデータのアライメント装置。

【請求項3】 入力端子が組合せ回路を通して影響する順序素子に着目してセットアップタイムを取得するセットアップタイム取得手段と、順序素子から前記組合せ回路を通じて前記入力端子までの伝搬遅延時間を取得する伝搬遅延時間取得手段と、順序素子に使用されているクロックの伝搬時間を取得するクロック伝搬時間取得手段と、

取得したクロックの伝搬時間からセットアップタイムを差し引く差分算出手段と、

前記入力端子でのクロックの立ち上がりまたは立ち下がりの生じる時刻に差分算出手段の演算結果を加算して順序素子でのクロックの変化時刻を求める第1の変化時刻算出手段と、

前記入力端子からの信号の順序素子での変化時刻を前記伝搬遅延時間より求める第2の変化時刻算出手段と、

第1および第2の変化時刻算出手段によって求められた2つの変化時刻を比較してこれらの合わせ込みを行うアライメント実行手段とを具備することを特徴とするシミュレーションデータのアライメント装置。

【請求項4】 クロックの立ち上がりまたは立ち下がりがその周期の零時刻に生じている場合には、その周期とは異なる所定時間分のダミーパターンをこの零時刻から挿入するダミーパターン挿入手段を具備することを特徴とする請求項3記載のシミュレーションデータのアライメント装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は論理回路のシミュレーションデータのアライメント装置に係わり、詳細にはシミュレーションで電子回路パッケージの検査データに使用することのできるアライメント装置に関する。

【0002】

【従来の技術】 論理回路はその出力の生成方法によって組合せ回路と順序回路に大別することができる。ここで組合せ回路とは、現在の入力の組合せだけで出力が決定されるものをいう。過去の入力系列の影響は受けない。

10 このような組合せ回路は、記憶回路を含まない論理ゲートの組合せによって実現することができる。

【0003】 これに対して、順序回路は過去の入力系列によって設定された現在の状態と現在の入力とによって出力が決定される回路である。したがって、順序回路は状態を保持するための記憶回路を備えている。例えばコンピュータに使用されているレジスタやカウンタは、順序回路によって構成されている。順序回路は、組合せ回路と記憶回路によって構成することができる。記憶回路を構成する記憶素子として最も一般に使用されている素子はフリップフロップ回路である。

【0004】 ところで、設計した電子回路パッケージをシミュレーションし、故障箇所の検出を行うことが一般に行われている。そのシミュレーションデータを使用した試験機で電子回路パッケージの試験を行っている。シミュレーションデータを試験機側のインターフェイスに合わせこむ過程において、あるシミュレータから入力データと出力データとをサブプリングし、別のシミュレータに入力するものとする。このような場合に、従来ではシミュレーション入力データとクロックとの時間関係を意識せずに位相の合わせ込み（アライメント）を行っていた。

【0005】 【発明が解決しようとする課題】 このため、シミュレーション対象となる回路に搭載されている各順序素子のセットアップを満足する時刻での論理値（状態値）が変動する可能性があった。このような場合には、シミュレーションデータによる故障検出率の低下を来したり、電子回路パッケージがプログラマブルな回路構成となつてしまふ場合には、動作シーケンスが狂ってしまい、希望通りの機能動作を行わないことがあるといった問題が発生した。

【0006】 そこで本発明の目的は、シミュレーション対象となる回路に搭載されている各順序素子のセットアップを満足する時刻での論理値の変動を防止し正確なシミュレーションを実現することのできるシミュレーションデータのアライメント方法およびそのための装置を提供することにある。

【0007】 【課題を解決するための手段】 請求項1記載の発明では、（1）シミュレーション対象となる回路の接続情報

50

これらの回路に搭載されている各素子の特性情報をデータベースとして格納したデータベース格納手段と、

(ロ) シミュレーション対象となる回路の入力端子から順序素子までの信号の遅延時間をデータベースから算出する遅延時間算出手段と、(ハ) 基本周期内で所定の位相で変化しているシミュレーション入力データが順序素子まで伝搬したときの信号変化が、データベースに格納されたセットアップタイムを満足する時刻で生じているか否かの判断を行う判断手段と、(二) この判断結果に応じて基本周期内において変化する位相を全入力端子で合わせ込む位相合わせ込み手段とをシミュレーションデータのアライメント装置に具備させる。

【0008】すなわち請求項1記載の発明では、シミュレーション対象となる回路の接続情報とこれらの回路に搭載されている各素子の特性情報をデータベースとして用意しておき、基本周期内で所定の位相で変化しているシミュレーション入力データが順序素子まで伝搬したときの信号変化が、データベースに格納されたセットアップタイムを満足する時刻で生じているか否かを、これを基にして判断することにして、位相の合わせ込みを行うようになっている。データベースに格納される特性情報は、請求項2に記載したようにシミュレーション対象となる回路に搭載されている各素子の伝搬遅延時間、セットアップに要するセットアップタイムおよびホールドが行われるホールドタイムのようなものである。

【0009】請求項3記載の発明では、(イ) 入力端子が組合せ回路を通して影響する順序素子に着目してセットアップタイムを取得するセットアップタイム取得手段と、(ロ) 順序素子から組合せ回路を通して入力端子までの伝搬遅延時間を取得する伝搬遅延時間取得手段と、(ハ) 順序素子に使用されているクロックの伝搬時間を取得するクロック伝搬時間取得手段と、(二) 取得したクロックの伝搬時間からセットアップタイムを差し引く差分算出手段と、(ホ) 入力端子でのクロックの立ち上がりまたは立ち下がりの生じる時刻に差分算出手段の演算結果を加算して順序素子でのクロックの変化時刻を求める第1の変化時刻算出手段と、(ヘ) 入力端子からの信号の順序素子での変化時刻を伝搬遅延時間より求める第2の変化時刻算出手段と、(ト) 第1および第2の変化時刻算出手段によって求められた2つの変化時刻を比較してこれらの合わせ込みを行うアライメント実行手段とをシミュレーションデータのアライメント装置に具備させる。

【0010】すなわち請求項3記載の発明では、入力端子が組合せ回路を通して影響する順序素子に着目してセットアップタイム、伝搬遅延時間およびクロック伝搬時間を例えばデータベースから取得し、これらを基にして第1および第2の変化時刻算出手段で求めた2つの変化時刻を比較してアライメントを実行する。この際に、請求項4で記載したように所定の条件下で所定時間分のダ

ミーパターンをクロックの基本周期の零時刻から挿入するようにしてもよい。

【0011】

【実施例】以下実施例につき本発明を詳細に説明する。

【0012】図1は、シミュレーションデータのアライメントを行う装置の回路構成の概要を表わしたものである。この装置はCPU(中央処理装置)11を備えている。CPU11はデータバス等のバス12を通じて装置内の各部と接続されている。このうち作業用メモリ13は、この装置の制御のためのプログラムや処理のためのデータを一時的に格納するランダム・アクセス・メモリである。ディスク制御装置14は、磁気ディスク15に対する入出を行なっている。磁気ディスクには、前記したプログラムや、シミュレーション対象となる電子回路パッケージについてのデータベース等を格納している。データベースは、電子回路パッケージを構成する回路の接続情報と、これらの回路に搭載されている各素子の伝搬遅延時間ならびにセットアップタイムとホールドタイム等の特性情報から構成されている。

【0013】入力回路16は、ポインティング・デバイスとしてのマウス17を接続したキーボード18を接続しており、これらの入力装置からのデータを入力するようになっている。表示制御装置21はCRT22の表示制御を行うようになっている。

【0014】(1) クロックに同期するデータ入力端子のアライメント

【0015】(1) 各順序素子のデータ入力とパッケージ入力端子が1対1に対応する場合

【0016】クロックに同期するデータ入力端子のアライメントに関し、まず順序素子のデータ入力とパッケージ入力端子が1対1に対応する場合について説明する。この場合、図1に示した装置のオペレータは、キーボード18等の入力手段とCRT22を用いて以下の項目の指定を行う。

【0017】①アライメントを行う基本周期Tの指定をナノ秒(nS)単位で行う。

【0018】②アライメントを行う際の基本クロックビンの指定を行う。この際には、パッケージ入力端子と内部ノードピンのどちらで指定しても良い。また、指定の個数に制限はない。

【0019】③指定されたそれぞれの基本クロックに対して立ち上がりで取り込む順序素子の指定を行う。このような指定を個別に行う代わりに、これらを自動的に検索するようにしてもよい。ただし、ここで言う順序素子とは、パッケージ入力端子が組合せ回路を通して影響する素子である。

【0020】④指定されたそれぞれの基本クロックに対して立ち下がりで取り込む順序素子の指定を行う。この場合にも、指定を個別に行う代わりに、自動的に検索するようにしてもよい。また、ここでも順序素子とは、パ

ツケージ入力端子が組合せ回路を通して影響する素子をいう。

【0021】⑤シミュレーションを行う検査装置側での処理の都合上、必要に応じてダミーパターン追加時間の指定を行う。この指定もナノ秒単位で行う。

【0022】図2は第1のタイミング図を表わしたものであり、図3は概略の回路図を表わしている。ここではフリップフロップ回路で構成された順序素子DF₁についてのパッケージ入力端子Aが指定されており、基本クロックとして第1のクロックCP₁が指定されている。この図で符号T₀は、順序素子DF₁からパッケージ入力端子Aまでの伝搬遅延時間である。また、この図でアストリスク*は負論理を表わしている。例えばパッケージ入力端子Aの場合には、順序素子DF₁は立ち上がりでセットされ、パッケージ入力端子Aの場合には順序素子DF₁は、負論理なので立ち下がりでセットされることになる。

【0023】図4は第2のタイミング図を表わしたものである。この図で(a)は、先の⑤で説明したダミーパターンを追加する前の状態を示しており、クロックの立ち上がりが基本周期Tの開始時刻と一致している。同図(b)は、ダミーパターンを追加した後の状態を表わしている。ダミーパターン31が追加された結果、クロックの立ち上がりが基本周期Tの開始時刻からずれている。ダミーパターン31の作成論理については、後に詳しく説明する。

【0024】図5は、以上のようにして各項目の指定が行われた際の装置の流れを表わしたものである。この処理手順は前記したプログラムを実行することによって得られる。

【0025】まず、図3に示した順序素子DF₁に着目し、データベースを基にしてそのセットアップタイムT₁₀₁を求める(ステップS101)。次に、順序素子DF₁から組合せ回路を通して影響するパッケージ入力端子Aまでの伝搬遅延時間T₀を同じくデータベースを用いて求める(ステップS102)。更に、順序素子DF₁に使用されているクロックCP₁の伝搬時間T_cを同様にデータベースから求める(ステップS103)。

【0026】この後、CPU1-1はステップS103で求めたクロックCP₁の伝搬時間T_cからステップS101で求めたセットアップタイムT₁₀₁を差し引く演算を行う(ステップS104)。そして、順序素子DF₁がクロックCP₁の立ち上がりで変化するかどうかをチェックし(ステップS105)、そうであれば(Y)、クロックCP₁の立ち上がりの時刻にステップS104で求めた値(T_c-T₁₀₁)を加算して変化時刻T_{1c}を求める(ステップS106)。

【0027】一方、ステップS105で順序素子DF₁がクロックCP₁の立ち上がりで変化せず、立ち下がりで変化したならば(ステップS107;Y)、クロック

CP₁の立ち下がり時刻にステップS104で求めた値(T_c-T₁₀₁)を加算して変化時刻T_{1c}を求める(ステップS108)。

【0028】この後、CPU1-1はパッケージ入力端子Aからの信号の順序素子DF₁での変化時刻T_{1c}を伝搬遅延時間T₀から求める(ステップS109)。そして、両者の大小関係を比較して変化時刻を合わせ込むためのアライメントを実施する。すなわち、変化時刻T_{1c}よりも変化時刻T_{1c}が大きい場合には(ステップS1-10;Y)、図6に示したように周期Tの先端P₀に変化時刻を合わせ込む(ステップS111)。これに対して、これ以外の場合には(ステップS110;N)、周期Tの後端P₁に変化時刻を合わせ込む(ステップS112)。このようにしてアライメントが終了する。

【0029】図7は、ステップS110で変化時刻T_{1c}よりも変化時刻T_{1c}が大きい場合とそれ以外の場合の双方におけるアライメントの様子を表わしたものである。

なお、図5に示した処理は、基本クロックの立ち上がりおよび立ち下がりにそれぞれ着目して、基本周期単位にアライメントを実施することになる。また、該当する基本クロックがオフとなっている基本周期内では、アライメント対象のパッケージ入力ビンの信号変化後の状態で、図6に示したP₀に変化時刻を合わせ込むことになる。また、アライメントのための以上説明した処理は、③および④で指定した順序素子に関係するパッケージ入力端子のすべてについて実施することになる。

【0030】また、図4で説明した第2のタイミング図の場合には、アライメントを実行する前に、指定時間分のダミーパターンを“0”時刻から挿入することになる。これは具体的には次のようになる。クロックについては、“0”時刻時点の初期値の論理が“1”的場合には、“0”レベルのダミーパターンを挿入する。また、この“0”時刻時点の初期値の論理が“0”的場合には、“1”レベルのダミーパターンを挿入する。クロック以外の場合には、初期値を挿入する。具体的には図4-(b)に示した通りである。

【0031】(1) 各順序素子のデータ入力とパッケージ入力端子が1対複数に対応する場合

【0032】図8は、各順序素子のデータ入力とパッケージ入力端子が1対複数に対応する場合の概略の回路図を表わしたものである。この場合におけるオペレータの項目指定の内容は先に説明したものと実質的に同一である。

【0033】図9は、この(1)の場合の各項目の指定が行われた際の装置の処理の流れを表わしたものである。まず、基本クロックCP₁の立ち上がりで取り込む順序素子と立ち下がりで取り込む順序素子の双方に、組合せ回路を通して影響するパッケージ入力端子IN_n(ここで“n”を任意の整数とすると、Xは“1”から“n”)を検索する(ステップS201)。次に、基本ク

ロックCP₁の立ち上がりで取り込む順序素子と立ち下がりで取り込む順序素子に対し、単独に組合せ回路を通して影響するパッケージ入力端子IN_Y（ここで“m”を任意の整数とすると、Yは“1”から“m”）を検する（ステップS202）。

【0034】このようにして両パッケージ入力端子IN₁、IN_Yが求められたら、まずパッケージ入力端子IN_Yのアライメントを行う（ステップS203）。この処理は図5で説明した処理と本質的に同一なので説明を省略する。

【0035】次に、パッケージ入力端子IN₁のアライメントを行う（ステップS204）。ここで、図5で説明した処理と異なる点を補足する。ステップS204では、パッケージ入力端子の順序素子での信号の変化時刻T_{1D}を伝搬遅延時間T₁より求め、基本クロックCP₁の立ち上がりで取り込む順序素子と立ち下がりで取り込む順序素子の双方のセットアップタイム時刻から、両方に満足するようにアライメントを実施する。また、この過程で矛盾が発生するような場合には、ウォーニング（警告）メッセージを出力して、アライメントを実施しない。

【0036】(2)組合せ回路を通したクロック、セット、リセット系の信号生成用データ指定パッケージ入力端子のアライメント

【0037】図1.0は、組合せ回路にクロック、セット、リセット系の信号生成用データ指定パッケージ入力端子が接続された電子回路の概略構成を表わしたものである。この図でストローブ用パッケージ入力端子S.T.は、あるタイミングでクロックのタイミングの同期となるためのストローブ信号を入力するための端子である。

【0038】この場合、図1に示した装置のオペレータは、キーボード18等の入力手段とCRT22を用いて以下のような項目の指定を行う。

【0039】①アライメントを行う基本周期Tの指定をナノ秒(nS)単位で行う。

【0040】②クロック、セット、リセット等の信号を作成するストローブ用パッケージ入力端子S.T.または内部ノードピンを指定する。

【0041】③クロック、セット、リセット等の信号を生成するためのデータ指定パッケージ入力端子を指定する。

【0042】④ストローブ信号とデータ信号とでアンド（論理積）条件をとっている素子を指定する。

【0043】以上のようにして各項目の指定が行われた後の装置の処理の流れは、基本的な点では先に説明した図5に示した処理と同一である。すなわち、ストローブ信号とデータ信号とでアンド条件をとっている素子における、ストローブ信号に対するセットアップタイム時刻とデータの変化時刻より判断してアライメントを実施することになる。

【0044】(3)順序素子に影響しない組合せ回路を通したパッケージ出力端子へ影響するパッケージ入力端子のアライメント

【0045】図1.1は、順序素子に影響しない組合せ回路を通したパッケージ出力端子へ影響するパッケージ入力端子が接続された電子回路の概略構成を表わしたものである。この場合、図1に示した装置のオペレータは、キーボード18等の入力手段とCRT22を用いて以下のような項目の指定を行う。

【0046】①アライメントを行う基本周期Tの指定をナノ秒(nS)単位で行う。

【0047】②順序素子に影響しない組合せ回路を通じてパッケージ出力端子OUT₁～OUT_mへ影響するパッケージ入力端子IN₁～IN_nを指定する。

【0048】このようにして各項目の指定が行われた後、アライメントを行う基本周期T内において、信号変化後の状態値にアライメントを実施する。図1.2はアライメントの実施状態を表わしたものである。同図(a)はアライメント前であり、同図(b)はアライメント後を表わしている。

【0049】

【発明の効果】以上説明したように本発明では、シミュレーションの対象となる回路の接続情報や回路に搭載されている各素子の特性情報を例えばデータベースとして用意し、シミュレーション対象となる回路の入力端子から順序素子までの信号の遅延時間を求め、基本周期内で独自の位相（タイミング）で変化しているシミュレーション入力データが回路内の順序素子まで伝搬したときの信号変化がセットアップタイムを満足しているかどうかを判断して、シミュレーション入力データの基本周期内において変化する位相（タイミング）を全入力端子で数通りに合わせ込むようにした。したがって、シミュレーション対象となる回路に搭載されている各順序素子のセットアップを満足する時刻での論理値（状態値）が変動することがなくなる。このため、シミュレーションデータの故障検出率が低下したり、プログラマブルな回路で動作シーケンスが狂って希望通りの機能動作を行わなくなるといった問題を解消することができる。

【図面の簡単な説明】

【図1】シミュレーションデータのアライメントを行う装置の回路構成の概要を表わしたブロック図である。

【図2】クロックに同期するデータ入力端子のアライメントを行う際の第1のタイミングを表わしたタイミング図である。

【図3】クロックに同期するデータ入力端子を有する電子回路の概略構成を示す説明図である。

【図4】クロックに同期するデータ入力端子のアライメントを行う際の第2のタイミングを表わしたタイミング図である。

【図5】図3に示した回路の処理の流れを表わした流れ

図である。

【図6】変化時刻を合わせ込む様子を示した説明図である。

【図7】ステップS110で変化時刻T₁₀よりも変化時刻T_{1c}が大きい場合とそれ以外の場合の双方におけるアライメントの様子を表わした説明図である。

【図8】各順序素子のデータ入力とパッケージ入力端子が1対複数に対応する場合の概略の構成を示した回路図である。

【図9】各項目の指定が行われた際の装置の処理の流れを表わした流れ図である。

【図10】組合せ回路にクロック、セット、リセット系の信号生成用データ指定パッケージ入力端子が接続された概略構成を表わしたブロック図で構成図である。

【図11】順序素子に影響しない組合せ回路を通した

パッケージ出力端子へ影響するパッケージ入力端子が接続された電子回路の概略構成を表わした構成図である。

【図12】アライメント前と後の実施状態を表わしたタイミング図である。

【符号の説明】

11 CPU

13 作業用メモリ

15 磁気ディスク

18 キーボード

17 マウス

CP₁ クロック

22 CRT

T 基本周期

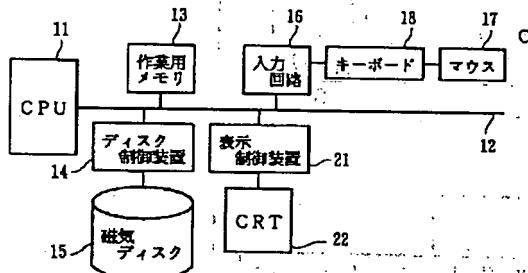
A, B パッケージ入力端子

IN 入力端子

DF₁ 順序素子

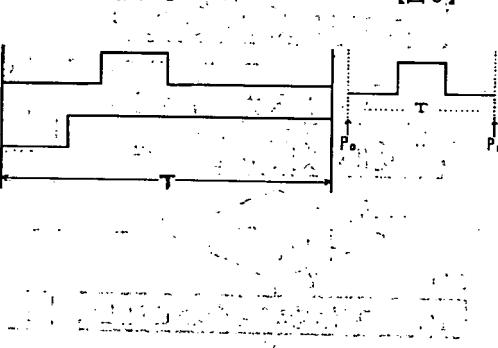
CP₁ クロック

【図1】



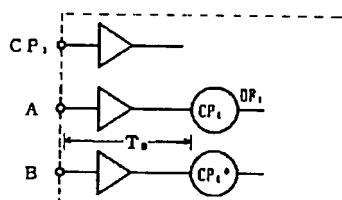
【図2】

【図6】



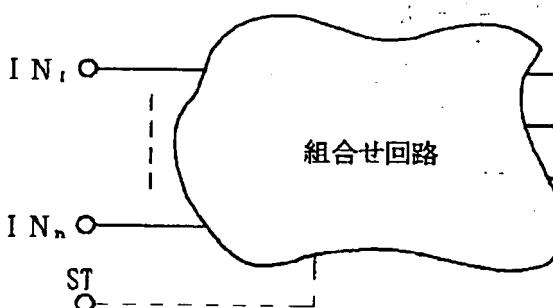
【図3】

【図4】

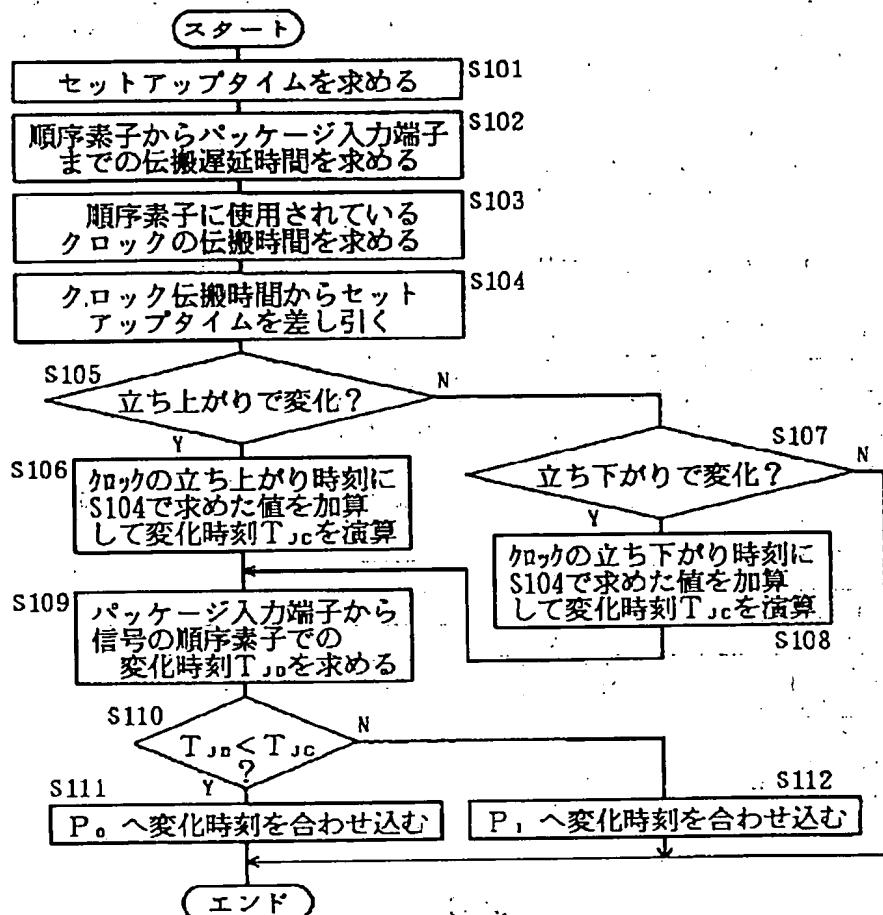


【図10】

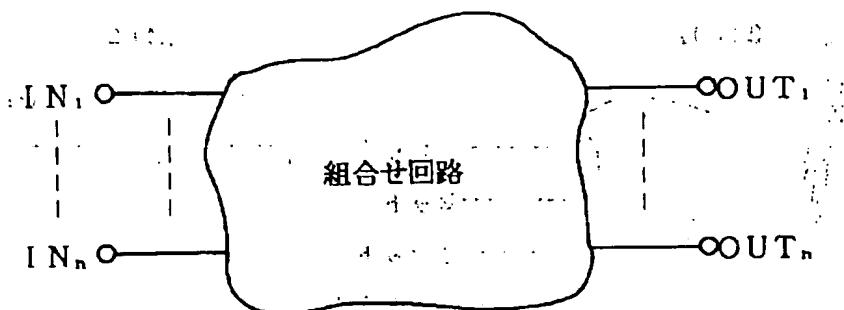
【図12】



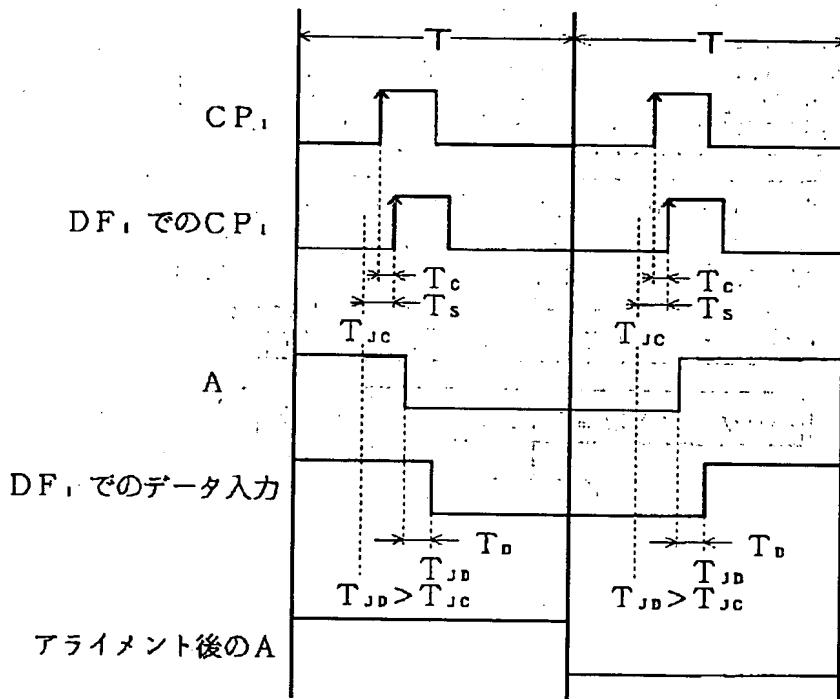
【図5】



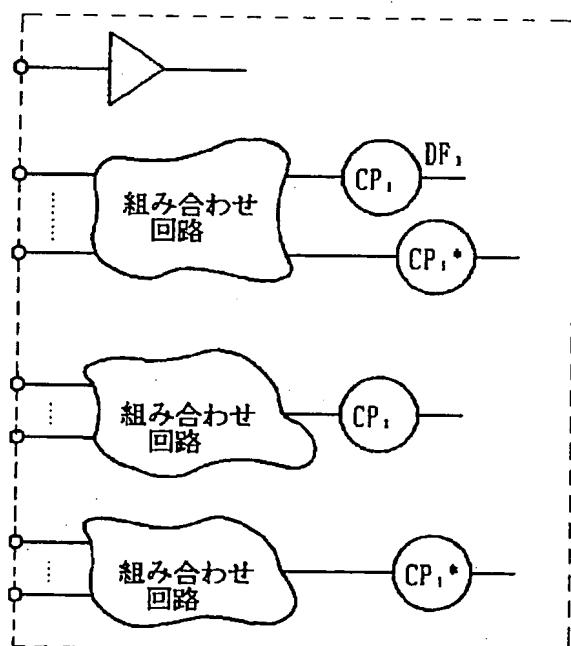
【図11】



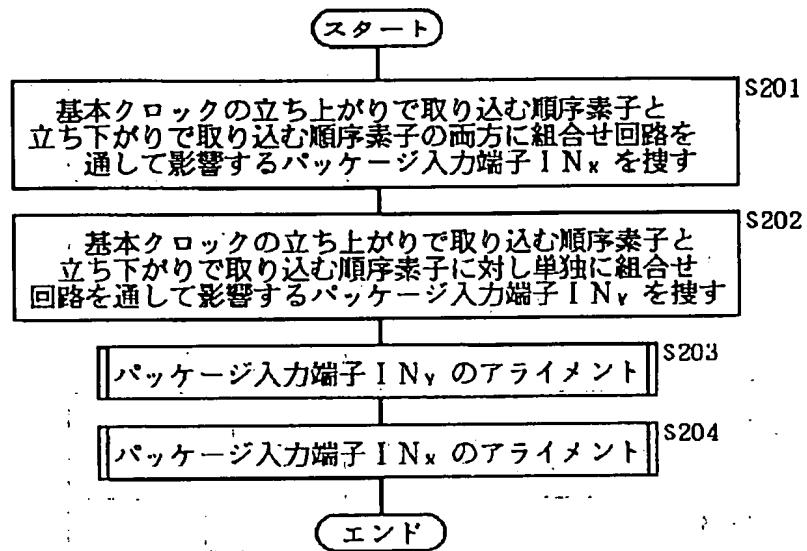
【図7】



【図8】



【図9】



REF ID:

1

SEARCHED

2

SERIALIZED

3

INDEXED

4

FILED

5

SEARCHED

6

SERIALIZED

7

INDEXED

8

FILED

9

SEARCHED

10

SERIALIZED

11

INDEXED

12

FILED

13

SEARCHED

14

SERIALIZED

15

INDEXED

16

FILED

17

SEARCHED

18

SERIALIZED

19

INDEXED

20

FILED

21

SEARCHED

22

SERIALIZED

23

INDEXED

24

FILED

25

SEARCHED

26

SERIALIZED

27

INDEXED

28

FILED

29

SEARCHED

30

SERIALIZED

31

INDEXED

32

FILED

33

SEARCHED

34

SERIALIZED

35

INDEXED

36

FILED

37

THIS PAGE BLANK (USPTO)

SEARCHED

INDEXED

FILED

SEARCHED

INDEXED

FILED